

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-004143

(43)Date of publication of application : 06.01.1998

(51)Int.Cl.	H01L 21/8234
	H01L 27/088
	H01L 29/78

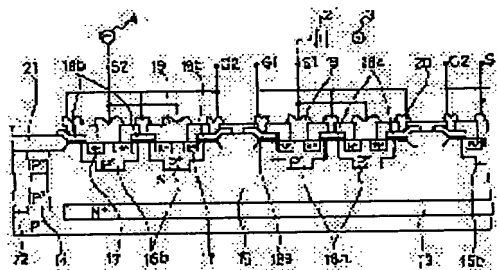
(21)Application number : 08-154246 (71)Applicant : SANYO ELECTRIC CO LTD  
(22)Date of filing : 14.06.1996 (72)Inventor : OTAKE SEIJI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the loss of a circuit by integrating two MOSFET elements inside a common island region and making a common drain.

**SOLUTION:** An epitaxial layer 12 formed on a substrate is isolated to form an island region 15, and on the surface of the island region 15 P-type diffusion regions 16a, 16b, source regions 17, and gate electrodes 18a, 18b are formed. First and second MOSFET elements are formed by electrode wiring. By making the island region 15 a common drain, drain connection of the both is realized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-4143

(43) 公開日 平成10年(1998) 1月6日

(51) Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8234		H 0 1 L 27/08	1 0 2 B
	27/088		29/78	3 0 1 D
	29/78			

審査請求 未請求 請求項の数3 O L (全 4 頁)

(21) 出願番号 特願平8-154246

(22) 出願日 平成8年(1996) 6月14日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 大竹 誠治

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

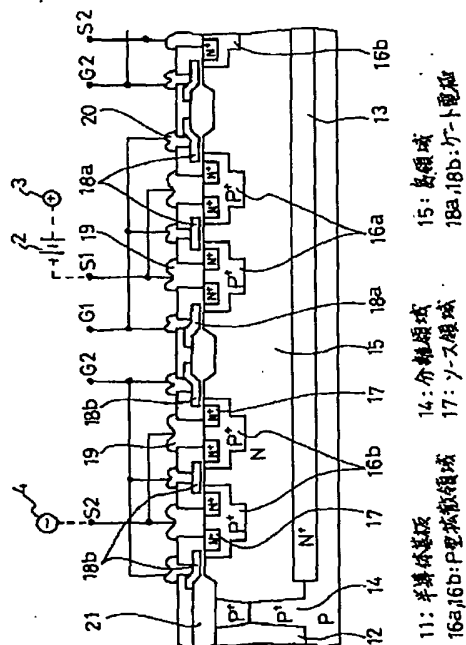
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 2つのMOSFET素子を共通の島領域内に集積化して共通ドレインとすることによりドレイン抵抗を減じて回路損失の低減を図る。

【解決手段】 基板11上に形成したエピタキシャル層12を分離して島領域15を形成し、島領域15表面にP型の拡散領域16a、16b、ソース領域17、そしてゲート電極18a、18bを形成する。電極配線により第1と第2のMOSFET素子5、6を形成する。島領域15を共通ドレインとすることにより両者のドレイン接続を実現する。



## 【特許請求の範囲】

【請求項1】 ドレインが互いに接続され、2次電池に直列に接続されると共に前記2次電池の充放電を制御する少なくとも2つのDSA(Double Diffused Self Alignment)型MOSトランジスタを具備する半導体装置であって、

一導電型の半導体基板の上に形成した逆導電型のエピタキシャル層を一導電型の分離領域により接合分離して島領域とし、

1つの前記島領域に、チャンネルとなる一導電型の拡散領域と逆導電型のソース領域及びゲート電極を形成して前記2つのDSA型MOSトランジスタを形成し、

前記2つのトランジスタの第1のゲートと第2のゲートの間に逆導電型の共通ドレイン領域を設けて、前記2つのトランジスタのドレインを互いに接続したことを特徴とする半導体集積回路。

【請求項2】 前記DSA型MOSトランジスタが縦型のDSA型MOSFETであることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記DSA型MOSトランジスタが横型のDSA型MOSFETであることを特徴とする請求項1記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、リチウムイオン、ニッケル水素などの充電可能な2次電池の充電回路に使われるDSA型のMOSFET素子を集積化した半導体集積回路に関する。

## 【0002】

【従来の技術】リチウムイオン、ニッケル水素などの充電可能な2次電池は、ニッケルカドミウム電池に比べて容量を大きくできる反面、過電圧、過電流、過充電により電池性能が大幅に低下する欠点を合わせ持つ。そのため2次電池の端子間電圧を常時監視し、前記過充電等から前記2次電池を保護するための制御回路を具備する必要がある。そして、制御用のICと共に電圧駆動が可能なDSA(Double Diffused Self Alignment)型のパワーMOSFET素子を電池パック内に内蔵し、前記パワーMOSFETで2次電池の充放電を制御することで電子機器の低消費電力化を図ることが多い。

【0003】電池パック内に内蔵される回路の一例を図3に示す。図中、1は制御用のIC、2はリチウムイオン電池、3及び4は電池パック外部に導出される正極端子及び負極端子、5及び6は第1及び第2のMOSFET素子である。第1と第2のMOSFET素子5、6はドレインを共通接続しており、各々のゲートは制御用IC1の制御端子に接続されている。そして、前記過電圧、過電流、過充電時には制御ICからの制御信号を受けて第1と第2のMOSFET素子5、6の両方又はどちらか一方がOFFする事により、リチウムイオン電池

2に流れる電流をカットして電池を保護するような動作を行う。

## 【0004】

【発明が解決しようとする課題】図3の回路において、リチウムイオン電池2が放電動作を行う時、第1と第2のMOSFET素子5、6に図示矢印1のような動作電流を流すことになる。この時の抵抗成分Rは、MOSFET素子5、6のON抵抗や配線抵抗等により決まるものであるが、この値が大きいと前記動作電流により発熱し、該発熱は動作電流の損失となるので、2次電池の電池寿命を低下させることになる。そのため、抵抗成分Rを低下させることが電池寿命を延ばす鍵になっていた。

## 【0005】

【課題を解決するための手段】本発明はかかる従来の課題に鑑みなされたもので、第1と第2のMOSFET素子を1チップ化したものであり、且つ、第1と第2のMOSFET素子を共通の島領域内部に形成し、島領域を共通ドレインとして互いのドレインを接続し、アルミ電極を省略することにより、抵抗成分を大幅に低減して電池寿命を改善できる半導体装置を提供するものである。

## 【0006】

【発明の実施の形態】以下に本発明を図面を参照しながら詳細に説明する。図1は本発明による半導体集積回路を示す断面図、図2はその平面図である。まずは縦型のDSA型MOSFET(V-DMOS)を図示してある。なお、図5中の符号と一致する箇所には同じ符号を付している。

【0007】同図において、11はP型の単結晶シリコン半導体基板、12は基板11の上に気相成長して形成したN-型のエピタキシャル層、13は基板11とエピタキシャル層12との間に埋め込んで形成したN+型の埋め込み層、14はエピタキシャル層12を貫通してエピタキシャル層12を複数の島領域15に形成するP+型の分離領域、16a、16bは島領域15の表面に形成した複数のP型拡散領域、17はP型拡散領域16の表面に形成したN+型のソース領域、18a、18bはソース領域17近傍の上に形成したポリシリコンゲート電極、19はソース領域17とP型拡散領域16の両方にオーミックコンタクトするソース電極、20はアルミゲート電極、21はLOCOS酸化膜である。

【0008】ゲート電極18aとP型拡散領域18aが第1のMOSFET素子5を構成し、同じくゲート電極18bとP型拡散領域18bが第2のMOSFET素子6を構成する。具体的には同じ島領域15内に単位MOSセルが多数個作られ、これらがアルミ電極により並列接続されて大きな2つのMOSFET素子5、6を構成する。隣接するP型拡散領域16a、16bの間にはLOCOS酸化膜が形成される。

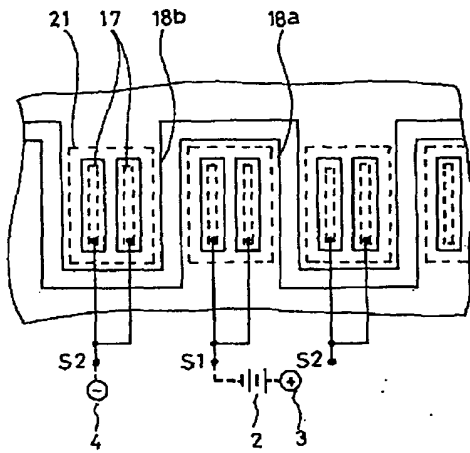
【0009】第1のMOSFET素子5のゲート電極18aはIC表面を引き回されて同じIC内部の別の箇所

【0012】図3と図4はMOSFET素子として横型のDSA型MOSFET(L-DMOS)を形成した場合

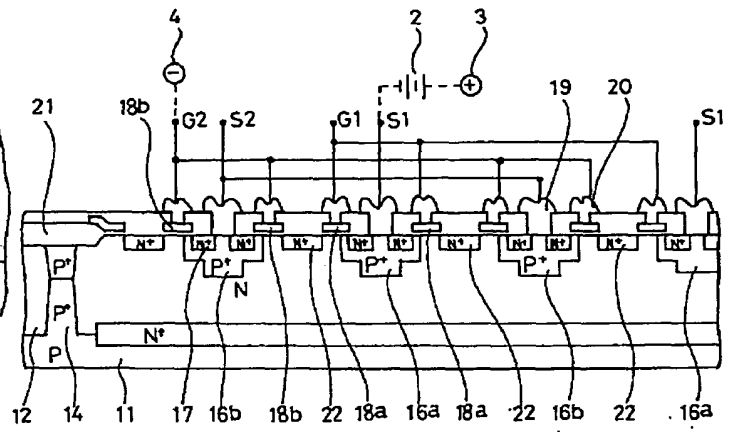
【図5】従来例を説明するための回路図である。

- |                  |           |                 |
|------------------|-----------|-----------------|
| 11: 半導体基板        | 14: 分離領域  | 15: 島領域         |
| 16a, 16b: P型拡散領域 | 17: ソース領域 | 18a, 18b: ゲート電極 |

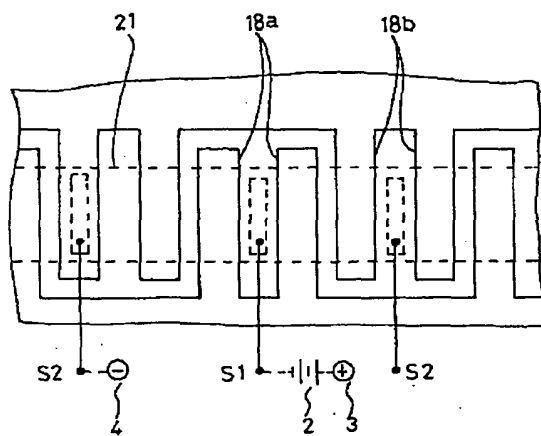
【図2】



【図3】



【図4】



【図5】

